

# EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08088283  
PUBLICATION DATE : 02-04-96

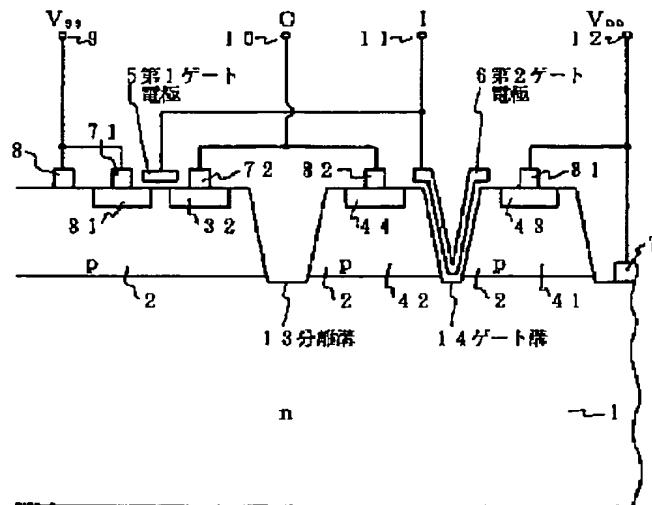
APPLICATION DATE : 16-09-94  
APPLICATION NUMBER : 06221188

APPLICANT : FUJI ELECTRIC CO LTD;

INVENTOR : UENO KATSUNORI;

INT.CL. : H01L 21/8238 H01L 27/092 H01L 29/78

TITLE : SILICON CARBIDE COMPLEMENTARY  
TYPE MOSFET



ABSTRACT : PURPOSE: To manufacture a complementary type MOSFET of a new structure by utilizing an epitaxially grown layer.

CONSTITUTION: A p-type epitaxially grown layer 2 is laminated on an n-type silicon carbide substrate 1, an isolation groove 13 and a gate groove 14 which reach the substrate 1 are formed, an n-channel MOSFET is formed in one region divided by the groove 13, and a p-channel MOSFET is formed in the region including the other gate groove 14.

COPYRIGHT: (C)1996,JPO

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-88283

(43)公開日 平成8年(1996)4月2日

(51)Int.CI.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/8238

27/092

29/78

H 01 L 27/08

321 A

321 B

審査請求 未請求 請求項の数 4 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願平6-221188

(22)出願日

平成6年(1994)9月16日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

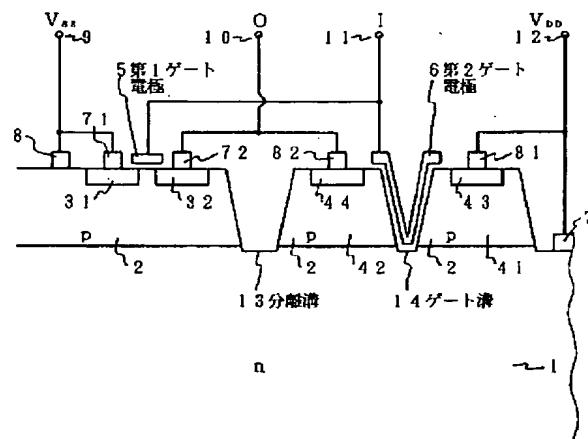
(74)代理人 弁理士 山口 巖

(54)【発明の名称】炭化ケイ素相補形MOSFET

(57)【要約】

【目的】エピタキシャル成長層を利用して新構造の相補形MOSFETを製作する。

【構成】n形炭化ケイ素基板1にp形エピタキシャル成長層2を積層し、基板1に達する分離溝13とゲート溝14を形成し、分離溝13で分割された一方の領域にnチャネルMOSFETを形成し、他方のゲート溝14を含む領域にpチャネルMOSFETを形成する。



- |     |    |    |                       |
|-----|----|----|-----------------------|
| 1   | .. | .. | n形炭化ケイ素基板             |
| 2   | .. | .. | p層                    |
| 3 1 | .. | .. | n <sup>+</sup> ソース領域  |
| 3 2 | .. | .. | n <sup>+</sup> ドレイン領域 |
| 4 1 | .. | .. | p <sup>+</sup> ソース領域  |
| 4 2 | .. | .. | p <sup>+</sup> ドレイン領域 |
| 4 3 | .. | .. | p <sup>+</sup> 領域     |
| 4 4 | .. | .. | p <sup>+</sup> 領域     |
| 7   | .. | .. | 第2電極                  |
| 7 1 | .. | .. | 第1ソース電極               |
| 7 2 | .. | .. | 第1ドレイン電極              |
| 8   | .. | .. | 第1電極                  |
| 8 1 | .. | .. | 第2ソース電極               |
| 8 2 | .. | .. | 第2ドレイン電極              |

I

2

**【特許請求の範囲】**

【請求項 1】炭化ケイ素半導体素体の第一導電形層の上に第二導電形層が積層され、第二導電形層が第一導電形層に達する分離溝で分割され、一方の領域の第二導電層の表面層に第一導電形の第一ソース領域および第一導電形の第一ドレイン領域が選択的に形成され、第一ソース領域および第一ドレイン領域の表面に第一ソース電極および第一ドレイン電極がそれぞれ形成され、第一ソース領域と第一ドレイン領域とに挟まれた第二導電形層の表面に絶縁膜を介して第一導電形のチャネルを有する第一MOSFETの第一ゲート電極が形成され、他方の領域の第二導電形層に第一導電形層に達するゲート溝が形成され、この第二導電形層の一方を第二ソース領域とし、他方を第二ドレイン領域とし、第二ソース領域および第二ドレイン領域の表面に第二ソース電極および第二ドレイン電極がそれぞれ形成され、第二ソース領域と第二ドレイン領域とに挟まれた溝部の上に絶縁膜を介して第二導電形のチャネルを有する第二MOSFETの第二ゲート電極が形成され、第一MOSFETの第一ソース電極は第二導電形層上に選択的に形成された第一電極に接続され、第二MOSFETの第二ソース電極は第一導電形層に選択的に形成された第二電極に接続され、第一ドレイン電極と第二ドレイン電極とが互いに接続され、第一ゲート電極と第二ゲート電極とが互いに接続されることを特徴とする炭化ケイ素相補形MOSFET。

【請求項 2】第二ソース領域および第二ドレイン領域のそれぞれの表面層に第二導電形高濃度層が選択的に形成されることを特徴とする請求項 1 記載の炭化ケイ素相補形MOSFET。

【請求項 3】第二導電形層がエピタキシャル成長で形成されることを特徴とする請求項 1 記載の炭化ケイ素相補形MOSFET。

【請求項 4】分離溝およびゲート溝がドライエッティングおよび選択酸化とウエットエッティングの組み合わせのいずれかで形成されることを特徴とする請求項 1 記載の炭化ケイ素相補形MOSFET。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】この発明は、高温や放射線下などの過酷な条件下において使用可能な集積回路を構成する炭化ケイ素相補形MOSFETに関する。

**【0002】**

【従来の技術】炭化ケイ素はバンドギャップが3 eVと大きく、また化学的にも安定な材料であるため、シリコンと比較すると高温や放射線などの厳しい環境でも使用可能な半導体デバイスとして期待され、研究されている。従来のシリコンデバイスでは最高150°C程度がその動作限界とされているが、炭化ケイ素でpnダイオードやMOSFETなどの要素デバイスが試作され、400°C以上の高温でも動作することが確認されてい

る。このような高温での使用が可能となれば、原子炉や宇宙など環境が厳しく人が近づけない環境で使用する、ロボットやコンピュータの主要部品として使用可能となる。また、従来のシリコンデバイスは動作時の発生損失による熱により温度上昇し、それを抑制するために冷却設備を備える必要があり、装置全体が大型化してしまう。一方、高温に耐える炭化ケイ素デバイスを使用すると、冷却設備を大幅に簡素化および小型化できる。例えば、自動車では半導体デバイスが多用されており、高温に耐えるデバイスを使用することで電子回路の小型化が可能となり、また自動車の軽量化にも繋がり、燃費を大幅に向かって、排ガスによる環境汚染を低減できる。このように炭化ケイ素デバイスの利用は多方面で期待されている。

【0003】各種応用分野で使用される電子部品に集積回路があり、その中でも相補形MOSFET(以下CMOSと略す)は低消費電力と高集積可能なことから、シリコン分野では普及している。CMOSはpチャネルとnチャネルMOSFETを組み合わせて、論理回路や場合によってはアナログ回路を構成することが可能である。図4はシリコンで製作されている従来のCMOSの基本的な断面構造図である。同図の左側がnチャネルMOSFETで右側がpチャネルMOSFETである。n形シリコン基板20の一主面の表面層にp形領域21を形成し、p形領域21の表面層にn+ソース領域31とn+ドレイン領域32がそれぞれ選択的に形成され、n+ソース領域31とn+ドレイン領域32とに挟まれたp形領域の表面に絶縁膜を介して第1ゲート電極5が形成され、n+ドレイン領域32上に第1ドレイン電極7が形成されている。また、p形領域21から離れた位置のn形基板20の表面層にp+ソース領域231とp+ドレイン領域232がそれぞれ選択的に形成され、p+ソース領域231とp+ドレイン領域232とに挟まれたn基板20上に絶縁膜を介して第2ゲート電極6が形成され、p+ドレイン領域232上には第2ドレイン電極8がそれぞれ形成されている。また、p形領域21とn+ソース領域31の表面の一部は第1電極8で短絡され、第1電極はソース端子(V<sub>ss</sub>)9と接続され、n基板1とp+ソース領域231の表面の一部は第2電極7で短絡され、第2電極7はドレイン端子(V<sub>dd</sub>)12と接続され、第1および第2ゲート電極は互いにインプット端子(I)11と接続され、第1ドレイン電極7と第2ドレイン電極8は互いにアウトプット端子(O)10と接続されている。シリコンでデバイスを作成する場合はp形領域はイオン注入と熱拡散によって選択的に形成される。

**【0004】**

【発明が解決しようとする課題】しかし、炭化ケイ素の場合はシリコンとの物理的性質が異なり、不純物の拡散係数がシリコンに比べて小さく、シリコンの場合と

同じ深さに拡散するためには、1500°C以上の超高温での熱処理が必要である。この超高温での熱処理に耐える選択拡散用のマスク材は金属に限られる。しかし、後で金属マスクを化学処理で除去する場合に微量の残さが残り特性上悪影響を及ぼす。また1500°C以上の高温では試料表面は雰囲気ガスと激しく反応し、試料表面に悪影響を及ぼす。そのため、シリコンと異なりp形領域をイオン注入と熱拡散で選択的に形成できず、他の製造方法でデバイスを製作しなければならない。

【0005】この発明は、上記の問題点を解決し、シリコンデバイスとは異なる製法で製作できる新規構造の炭化ケイ素相補形MOSFETを提供することにある。

#### 【0006】

【課題を解決するための手段】この発明は前記の目的を達成するために、炭化ケイ素半導体基体の第一導電形層の上に第二導電形層が積層され、第二導電形層が第一導電形層に達する分離溝で分割され、一方の領域の第二導電層の表面層に第一導電形の第一ソース領域および第一導電形の第一ドレイン領域が選択的に形成され、第一ソース領域および第一ドレイン領域の表面に第一ソース電極および第一ドレイン電極がそれぞれ形成され、第一ソース領域と第一ドレイン領域とに挟まれた第二導電形層の表面に絶縁膜を介して第一導電形のチャネルを有する第一MOSFETの第一ゲート電極が形成され、他方の領域の第二導電形層に第一導電形層に達するゲート溝が形成され、この第二導電形層の一方を第二ソース領域とし、他方を第二ドレイン領域とし、第二ソース領域および第二ドレイン領域の表面に第二ソース電極および第二ドレイン電極が形成され、第二ソース領域と第二ドレイン領域とに挟まれた溝部の上に絶縁膜を介して第二導電形のチャネルを有する第二MOSFETの第二ゲート電極が形成され、第一MOSFETの第一ソース電極は第二導電形層上に選択的に形成された第一電極に接続され、第二MOSFETの第二ソース電極は第一導電形層に選択的に形成された第二電極に接続され、第一ドレイン電極と第二ドレイン電極とが互いに接続され、第一ゲート電極と第二ゲート電極とが互いに接続されるようとする。また第二ソース領域および第二ドレイン領域のそれぞれの表面層に第二導電形高濃度層が選択的に形成されるとよい。また第二導電形層がエピタキシャル成長で形成されるとよい。さらに、分離溝およびゲート溝の形成にはドライエッティングまたは選択酸化とウェットエッティングの組み合わせが有効である。

#### 【0007】

【作用】第一導電形炭化ケイ素基体の表面に積層する第二導電形層は熱拡散ではなく、エピタキシャル成長で形成されるため、1500°C以上の高温の熱処理が不要となり、デバイス表面が汚染されたりダメージを受けたりすることがない。また第一導電形基体に達する第二導電形層に形成する分離溝、および第一導電形層にチャネ

ルを形成するMOSFETの第二導電形ソース領域と第二導電形ドレイン領域とを分離する働きもするゲート溝は、プラズマや反応性イオンエッティングなどのドライエッティングや、水蒸気雰囲気で選択的に熱酸化（選択酸化）し、その後のウェットエッティングで酸化膜を除去して製作することができる。また第二導電形ソース領域と第二導電形ドレイン領域の表面層に形成する第二導電形高濃度層はその表面に形成されるソース電極およびドレイン電極との接続がオーミック性を確保する働きがある。

#### 【0008】

【実施例】図1はこの発明の一実施例を示すCMOSの断面構造図である。n形炭化ケイ素基板1上にエピタキシャル成長でp層2を積層し、p層2がn基板1に達する分離溝13で分割される。分割された一方のp層2の表面層にn<sup>+</sup>ソース領域31とn<sup>+</sup>ドレイン領域32が形成され、n<sup>+</sup>ソース領域31とn<sup>+</sup>ドレイン領域32とに挟まれたp層2上に図示されていないゲート絶縁膜を介してnチャネルMOSFETの第1ゲート電極5が形成されている。n<sup>+</sup>ソース領域31上とn<sup>+</sup>ドレイン領域32上およびn基板1上に第1ソース電極71と第1ドレイン電極72および第2電極7が同時に形成されている。分割された他方のp層2はn基板1に達するゲート溝14で分離され、分離された一方のp層2をpソース領域41とし、分離された他方のp層2をpドレイン領域42とし、pソース領域41の表面層およびpドレイン領域42のそれぞれの表面層に電極とのオーミック性を確保するために、p<sup>+</sup>領域43、44を形成し、このp<sup>+</sup>領域43、44上およびp層2上に第2ソース電極81と第2ドレイン電極82および第1電極8が同時に形成される。第1ソース電極71はn<sup>+</sup>ソース領域31と隣接するp層2の表面に選択的に形成された第1電極8と共にソース端子(V<sub>ss</sub>)9と接続されている。第2ソース電極81はpソース領域41と隣接するn基板1の表面に選択的に形成された第2電極7と共にドレイン端子(V<sub>dd</sub>)12に接続されている。また従来のシリコンデバイスのように第1ソース電極71と第1電極8および第2ソース電極81と第2電極7とは一体の電極としてもよい。また、ゲート溝14上に図示されていないゲート絶縁膜を介して第2ゲート電極6が形成される。第1ドレイン電極72と第2ドレイン電極82がアウトプット端子(O)10に接続され、第1ゲート電極5と第2ゲート電極6がインプット端子(I)11に接続されている。

【0009】図2にこの発明の製造工程の一実施例を示し、同図(a)ないし同図(d)は先行の工程を順番に示している。同図(a)はn形炭化ケイ素基板1にp形エピタキシャル層2を積層した工程図を示す。このp形エピタキシャル層2の厚さは数μmである。同図(b)はp層2にn形基板1に達する分離溝13とゲート溝1

5

4を形成した工程図を示す。この溝の形成はプラズマや反応性イオンエッチングなどのドライエッティングまたは選択酸化とウエットエッティングの組み合わせのが利用できる。同図(c)はp層2の表面層にnチャネルの第1MOSFETのn<sup>+</sup>ソース領域31とn<sup>+</sup>ドレイン領域32を空素(N)などのイオン注入で形成する工程図を示す。同図(d)はp層2の表面層にpチャネルの第2MOSFETのpソース領域41とpドレイン領域42のそれぞれの表面層に電極とオーミック性を確保するためのp<sup>+</sup>領域をアルミニウム(A1)やボロン(B)などのイオン注入で形成する工程図を示す。同図(c)、同図(d)の工程は順序は逆でもよい。

【0010】図3は図2に引き続く後工程を順番に同図(a)ないし同図(c)に示す。同図(a)はp層2の表面およびゲート溝14の表面に図示していないゲート絶縁膜を形成し、そのゲート絶縁膜上に第1ゲート電極5および第2ゲート電極6を形成する工程図を示す。第1および第2ゲート電極6はポリシリコンで形成され、またゲート絶縁膜はシリコンデバイスと同様に熱酸化によっても形成できる。同図(b)はn<sup>+</sup>ソース領域31上、n<sup>+</sup>ドレイン領域32上およびn基板1上にソース電極71、ドレイン電極72および第2電極7をそれぞれ形成する工程図を示す。同図(c)はpソース領域41の表面層のp<sup>+</sup>領域43上、pドレイン領域42の表面層のp<sup>+</sup>領域44上およびp層2上に第2ソース電極81、第2ドレイン電極82および第1電極8をそれぞれ形成する工程図を示す。図示されていないがこの後、第1ソース電極71と第1電極8とは共にソース端子(V<sub>ss</sub>)に接続され、第2ソース電極81と第2電極82とは共にドレイン端子(V<sub>dd</sub>)に接続され、第1ドレイン電極72と第2ドレイン電極82とは互いにアウトプット端子(O)10に接続され、第1および第2ゲート電極5、6は互いにインプット端子(I)11に接続される。またn形半導体にオーミックコンタクトする電極の材質はN<sub>i</sub>、M<sub>o</sub>などであり、p形半導体にオーミックコンタクトする電極の材質はA1、T<sub>i</sub>などである。

【0011】尚、n<sup>+</sup>ソース領域31、n<sup>+</sup>ドレイン領域32およびpソース領域41の表面層に形成されるp<sup>+</sup>領域43、pドレイン領域42の表面層に形成されるp<sup>+</sup>領域44は第1および第2ゲート電極5、6を形成した後、これらのゲート電極をマスクにして形成する、所謂セルフアラインによって形成してもよい。また、高温熱処理によるゲート絶縁膜とゲート電極の反応によるゲート絶縁膜の膜質の劣化を防止するために、第1および第2のソース電極およびドレイン電極の形成時に高温熱処理を必要とする場合には、これらの工程を先に行い、その後で第1および第2のゲート電極を形成する方法、つまり図3の(a)工程と(b)、(c)工程とを逆にした方が好ましい。

【0012】また、前記では、n基板にp層を積層した

6

場合で説明したが、p基板にn層を積層してデバイスを作成してもよい。この場合は、前記のnチャネルMOSFETを形成するように、pチャネルMOSFETはゲート溝を形成せずにゲート電極を平坦な面に形成でき、微細加工が可能で、CMOSの集積度を上げることができる。また、微細加工によりチャネル長を短くでき、移動度の大きい正孔が通るpチャネルの抵抗を小さくできるため、前記のpチャネルMOSFETを形成するように、ゲート溝を持つnチャネルMOSFETのチャネル抵抗と抵抗値を容易に合わせることができる。

#### 【0013】

【発明の効果】従来、炭化ケイ素半導体への不純物拡散は1500°C以下では殆ど起こらない。そのため相補形MOSFETを製作する上で不可欠とされる選択的に数μmの深い拡散領域を形成することが炭化ケイ素半導体では極めて困難である。この発明では深い拡散領域をエピタキシャル成長層とこの成長層をエッティングによる溝で形成することで、シリコンの場合とは異なる新しい構造のデバイスを製作出来るようにした。具体的には炭化ケイ素半導体素体のn形層上にp形層を積層し、p形層にn形層に達する分離溝とゲート溝を形成することによって、分離されたp形層にnチャネルMOSFETを形成し、ゲート溝のある領域にpチャネルMOSFETを形成して、炭化ケイ素相補形MOSFETを製作することができる。尚、n形とp形を逆にしてデバイスを製作するとnチャネルMOSFETとpチャネルMOSFETとのチャネル抵抗を合わせることが容易にできる。

【0014】また、この発明の構造にすることで、製造工程上、1500°Cという超高温での処理が不要で、この超高温での熱処理に耐える選択拡散用のマスク材も不要となり、後で金属マスクを化学処理で除去することもなく、金属マスクの微量の残さが残り特性上悪影響を及ぼすこともない。また1500°C以上の高温での処理がないため、試料表面は雰囲気ガスと激しく反応することもなく、試料表面に悪影響を及ぼすこともない。

#### 【図面の簡単な説明】

【図1】図1はこの発明の一実施例を示すCMOSの断面構造図

【図2】図2にこの発明の製造工程の一実施例を示し、同図(a)ないし同図(d)は順番に示した先行の工程図

【図3】図3は図2に引き続く後工程を同図(a)ないし同図(c)に順番に示した工程図

【図4】図4はシリコンで作製されている従来のCMOSの基本的な断面構造図

#### 【符号の説明】

1 n形炭化ケイ素基板

2 p層

3 1 n<sup>+</sup>ソース領域

50

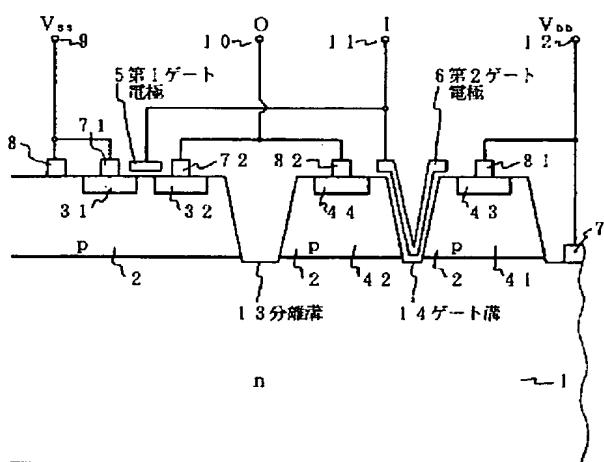
7

- 3 2 n<sup>+</sup> ドレイン領域  
 4 1 p ソース領域  
 4 2 p ドレイン領域  
 4 3 p<sup>+</sup> 領域  
 4 4 p<sup>+</sup> 領域  
 5 第1ゲート電極  
 6 第2ゲート電極  
 7 第2電極  
 7 1 第1ソース電極  
 7 2 第1ドレイン電極  
 8 第1電極  
 8 1 第2ソース電極

8

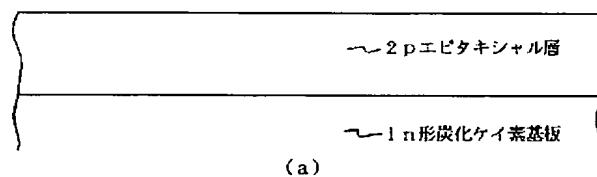
- 8 2 第2ドレイン電極  
 9 ソース端子 (V<sub>ss</sub>)  
 1 0 アウトプット端子 (O)  
 1 1 インプット端子 (I)  
 1 2 ドレイン端子 (V<sub>dd</sub>)  
 1 3 分離溝  
 1 4 ゲート溝  
 2 0 n 形シリコン基板  
 2 1 p 形領域  
 10 2 3 1 p<sup>+</sup> ソース領域  
 2 3 2 p<sup>+</sup> ドレイン領域

【図1】

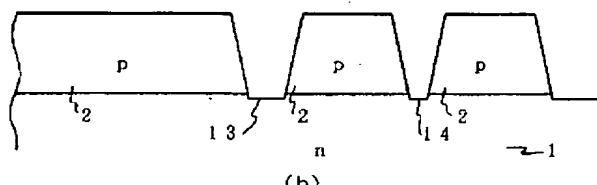


- 1 n 形炭化ケイ素基板  
 2 p 層  
 3 1 n<sup>+</sup> ソース領域  
 3 2 n<sup>+</sup> ドレイン領域  
 4 1 p ソース領域  
 4 2 p ドレイン領域  
 4 3 p<sup>+</sup> 領域  
 4 4 p<sup>+</sup> 領域  
 5 第1ゲート電極  
 6 第2ゲート電極  
 7 第2電極  
 7 1 第1ソース電極  
 7 2 第1ドレイン電極  
 8 第1電極  
 8 1 第2ソース電極  
 8 2 第2ドレイン電極

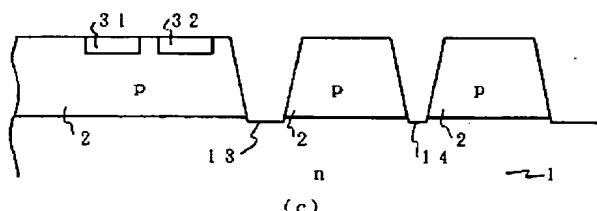
【図2】



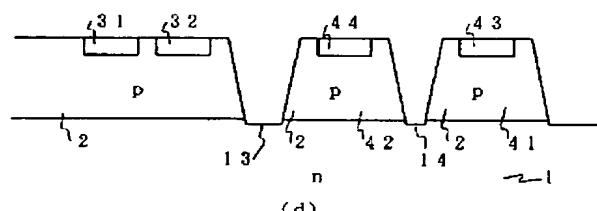
(a)



(b)

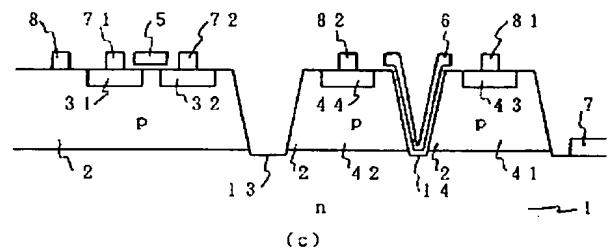
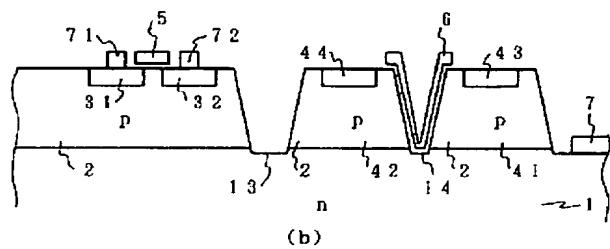
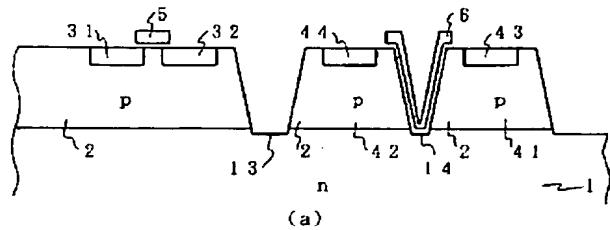


(c)

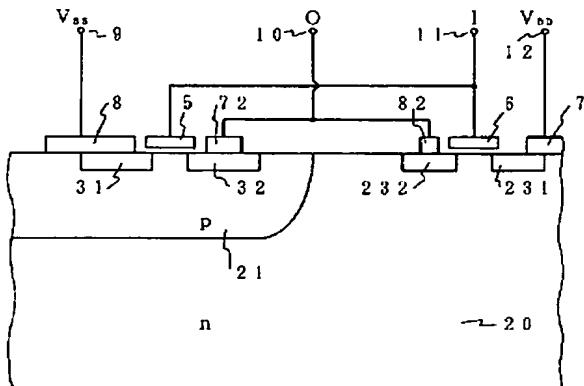


(d)

【図3】



【図4】



- |       |       |             |
|-------|-------|-------------|
| 2 0   | ..... | n形シリコン基板    |
| 2 1   | ..... | p形領域        |
| 3 1   | ..... | 第1 n、ソース領域  |
| 3 2   | ..... | 第2 n、ドレイン領域 |
| 2 3 1 | ..... | 第1 p、ソース領域  |
| 2 3 2 | ..... | 第2 p、ドレイン領域 |
| 5     | ..... | 第1 ゲート電極    |
| 6     | ..... | 第2 ゲート電極    |
| 7     | ..... | 第2 電極       |
| 7 2   | ..... | 第1 ドレイン電極   |
| 8     | ..... | 第1 電極       |
| 8 2   | ..... | 第2 ドレイン電極   |

フロントページの続き

(51) Int. Cl. 6

識別記号 序内整理番号

F I

技術表示箇所

H 01 L 29/78

3 0 1 V